

2025 年 4 月高等教育自学考试
计算机系统原理试题
课程代码:13015

1. 请考生按规定用笔将所有试题的答案涂、写在答题纸上。
2. 答题前,考生务必将自己的考试课程名称、姓名、准考证号用黑色字迹的签字笔或钢笔填写在答题纸规定的位置上。

选择题部分

注意事项:

每小题选出答案后,用 2B 铅笔把答题纸上对应题目的答案标号涂黑。如需改动,用橡皮擦干净后,再选涂其他答案标号。不能答在试题卷上。

一、单项选择题:本大题共 10 小题,每小题 1 分,共 10 分。在每小题列出的备选项中只有一项是最符合题目要求的,请将其选出。

1. 下列数中最小的数是
A. $(101001)_2$
B. $(52)_8$
C. $(1010001)_{BCD}$
D. $(233)_{16}$
2. 计算机系统中采用补码运算的目的是
A. 与手工运算方式保持一致
B. 提高运算速度
C. 提高运算的精度
D. 简化计算机的设计
3. 下列说法不正确的是
A. 变址寻址时,有效数据存放在内存中
B. 数据交换指令,将两个寄存器内容互换
C. 堆栈指针 SP 的内容表示当前堆栈内所存储的数据的个数
D. 内存中指令的寻址和数据的寻址是交替进行的
4. 通用寄存器用于临时存放从主存取来的数据或运算的结果,下列不属于通用寄存器的部件是
A. 指令寄存器
B. 标志寄存器
C. 程序计数器
D. 状态计数器
5. 下列不属于指令集体系结构设计所追求的目标的是
A. 提高机器级程序的执行速度
B. 增大控制存储器的容量
C. 缩短机器级指令的长度
D. 提高机器级程序设计的灵活性
6. 程序使用链接的好处不包括
A. 模块化
B. 结构化
C. 效率高
D. 空间利用率高
7. 属于内部异常的是
A. 采样计时时间到
B. 网络数据包到达
C. 非法操作码
D. 用户按下(Ctrl + C)键



8. 在存储器层次化体系结构中,以下存取时间最小的存储器是
A. 寄存器 B. 硬盘 C. 主存储器 D. 高速缓冲存储器
9. 下列不是 I/O 子系统特性的是
A. 共享性 B. 同步性 C. 复杂性 D. 异步性
10. 现代操作系统主要采用的虚拟存储管理方式是
A. 页式 B. 段式 C. 段页式 D. 随机式

非选择题部分

注意事项:

用黑色字迹的签字笔或钢笔将答案写在答题纸上,不能答在试题卷上。

二、填空题: 本大题共 10 小题, 每小题 2 分, 共 20 分。

11. 从抽象层次上来分,程序设计语言可分为_____语言和_____语言。
12. CPU 访问主存时,需先将主存地址、读/写命令分别送到总线的_____、控制线,然后通过总线的_____发送或接收数据。
13. 浮点数加减运算过程中,需要经过对阶、_____加减、_____和舍入 4 个步骤。
14. 冯·诺依曼结构计算机由运算器、_____、_____、输入设备和输出设备五大基本部件组成。
15. 栈是一种采用_____方式进行访问的一块存储区,在执行 `pushw% ax` 指令之后, SP 指向存放有 AX 内容的单元,即当前刚入栈的_____。
16. 将高级语言源程序转换为可执行文件通常分为_____、编译、汇编和_____4 步。
17. 动态链接有两种方式,一种是在程序_____过程中加载和链接共享库,另一种是在程序_____过程中加载并链接共享库。
18. 程序访问的局部性包括_____局部性和_____局部性。
19. CPU 访存过程中,若出现 cache 缺失,由_____处理;若出现缺页,由_____处理。
20. 因为 I/O 统一编址方式下 I/O 访问和主存访问共用同一组_____,所以其保护机制可由_____管理机制实现。

三、名词解释题: 本大题共 2 小题, 每小题 3 分, 共 6 分。

21. 时钟周期
22. 数据通路



四、简答题：本大题共 4 小题，每小题 6 分，共 24 分。

23. 简述字和字长概念。
24. 简述栈在处理过程调用时的作用,并列举 16 位架构下可用的栈相关指令。
25. 简述 CPU 执行一条指令的大致过程。
26. 简述文件系统所实现的功能。

五、计算题：本大题共 2 小题，每小题 10 分，共 20 分。

27. 假设某机器 M 的时钟频率为 4GHz,用户程序 P 在 M 上的指令条数为 8×10^8 ,其 CPI 为 1.25,则 P 在 M 上的执行时间是多少(请写出计算公式)? 若在机器 M 上从程序 P 开始启动到执行结束所需的时间是 4s,则 P 的用户 CPU 时间所占的百分比是多少?
28. (1)若前端总线(FSB)的时钟频率为 333MHz,采用 4 倍并发技术传输数据,总线数据宽度为 64 位,则工作频率和总线带宽各为多少?(2)若 QPI 总线时钟频率为 2.4GHz,每个时钟周期传输 2 次数据,其有效数据位 16 位,则其速度为多少 GT/s? 工作频率是多少? 总带宽是多少?

六、分析设计题：本大题共 2 小题，每小题 10 分，共 20 分。

29. 假设 $R[\text{eax}] = 0000\ 00A0H$, $R[\text{ecx}] = 0000\ 0003H$,请问:
执行指令“mulb %cl”后,哪些寄存器的内容会发生变化? 与执行“imulb %cl”指令所发生的变化是否一样? 为什么? 两条指令得到的 CF 和 OF 标志各是什么? 请用该例给出的数据验证你的结论。
30. 某计算机的主存空间大小为 512MB,按字节编址。指令 cache 和数据 cache 分离,两种 cache 均有 16 个 cache 行,主存与 cache 交换的块大小为 128B,数据 cache 采用 2 路组相联、通写法和 LRU 替换算法。现有程序 P,其伪代码如题 30 图所示。
程序 P:

```
int a[128][128]
.....
int sum_array( ) {
    int i,j,sum=0;
    for(i=0; i<128; i++)
        for(j=0; j<128; j++)
            sum += a[i][j];
    return sum;
}
```

题 30 图

假定 i、j、sum 均分配在寄存器中,数组 a 按行优先方式存放,其首地址 640。试回答下列问题:

- (1)数据 cache 的总容量(包括标记和有效位等)是多少字节?
- (2)程序 P 的数据命中率是多少?

