

2025 年 10 月高等教育自学考试
计算机组成原理试题

课程代码:02318

1. 请考生按规定用笔将所有试题的答案涂、写在答题纸上。
2. 答题前,考生务必将自己的考试课程名称、姓名、准考证号用黑色字迹的签字笔或钢笔填写在答题纸规定的位置上。

选择题部分

注意事项:

每小题选出答案后,用 2B 铅笔把答题纸上对应题目的答案标号涂黑。如需改动,用橡皮擦干净后,再选涂其他答案标号。不能答在试题卷上。

一、单项选择题：本大题共 15 小题，每小题 2 分，共 30 分。在每小题列出的备选项中只有一项是最符合题目要求的，请将其选出。

1. 在计算机内部，指令信息采用的表示形式是
 - A. 二进制序列
 - B. 八进制序列
 - C. 十进制序列
 - D. 十六进制序列
2. -1001010 的 8 位补码表示是
 - A. 01001010
 - B. 10010101
 - C. 10110101
 - D. 10110110
3. 若传送的是字符 C，其 ASCII 码为 1000011，采用偶校验方式传送 8 位编码，首位增加偶校验位后的编码表示是
 - A. 01000011
 - B. 11000011
 - C. 10000110
 - D. 10000111
4. 采用寄存器间接寻址方式的操作数存放在
 - A. 通用寄存器中
 - B. 内存中
 - C. 硬盘中
 - D. 指令中
5. 采用 DAM 方式存取信息的存储器是
 - A. 硬盘
 - B. Cache
 - C. 磁带
 - D. 主存
6. 有一个 64KB 的主存储器，按字节编址，其寻址需要地址线
 - A. 6 条
 - B. 10 条
 - C. 16 条
 - D. 20 条



7. 在中断控制方式的准备阶段，设置新屏蔽字的作用是
- A. 暂停外设对主存的访问
 - B. 暂停对某些中断的响应
 - C. 暂停对一切中断的响应
 - D. 暂停 CPU 对主存的访问
8. 在 DMA 控制方式下，实现主存和高速外设之间的直接数据交换时，总线控制权归
- A. CPU 掌控
 - B. 主存掌控
 - C. 程序员掌控
 - D. DMA 控制器掌控
9. 下列各种寻址方式中不需要从存储器中取操作数的是
- A. 寄存器直接寻址
 - B. 寄存器间接寻址
 - C. 基址寻址
 - D. 变址寻址
10. MIPS 处理器采用的是定长指令格式，每条指令长度为
- A. 8 位
 - B. 16 位
 - C. 32 位
 - D. 64 位
11. 非向量中断方式下，获取中断服务程序的入口地址的方法是
- A. 由硬件直接产生
 - B. 从中断向量表中获得
 - C. 运行查询程序获得
 - D. 从中断服务程序中获得
12. 中断响应过程中的保存断点是指
- A. 将 CPU 中的各通用寄存器的内容压入堆栈
 - B. 将寄存器 SP 的内容压入堆栈
 - C. 将 CPU 中的指令寄存器的内容压入堆栈
 - D. 将程序计数器 PC 的内容压入堆栈
13. 指令顺序执行时，提供下一条指令地址的寄存器是
- A. IR
 - B. 标志寄存器
 - C. MDR
 - D. PC
14. MIPS 计算机的汇编指令 “sub \$s1, \$s2, \$s3” 的功能是
- A. $\$s1 = \$s2 - \$s3$
 - B. $\$s2 = \$s1 - \$s3$
 - C. $\$s3 = \$s1 - \$s2$
 - D. $\$s3 = \$s1 \& \$s2$
15. 下列表述中最符合 RISC 风格计算机的是
- A. 指令系统中有的指令长度很短
 - B. 指令系统中大多数指令都能访问存储器
 - C. 控制器采用微程序方式
 - D. 指令的长度一致



非选择题部分

注意事项：

用黑色字迹的签字笔或钢笔将答案写在答题纸上,不能答在试题卷上。

二、填空题：本大题共 6 小题，每小题 2 分，共 12 分。

16. 按照在计算机上完成任务的不同，可以将使用计算机的用户分成以下 4 类：最终用户、系统管理员、_____和_____。
17. 指令所处理的基本数据类型分为_____和_____两种类型。
18. 条件转移指令通常根据程序当前生成的标志信息进行转移，常用的标志有零标志 ZF、溢出标志 OF、_____和_____。
19. Intel 将内部异常分为故障、_____和_____三类。
20. 在存储器中，按存取方式可分为随机存取、_____和_____三类。
21. 硬盘读写是指根据盘地址读写目标磁道中的指定扇区，其操作可归纳为寻道、_____和_____三个步骤。

三、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

22. 简述冯·诺依曼结构的主要思想。
23. 简述转移指令和调用（转子）指令的区别。返回指令是否需要地址码字段？
24. 简述通常执行一条指令的步骤。每条指令的执行步骤是否都一样？
25. 简述 SRAM 芯片和 DRAM 芯片各自特点及其应用场合。

四、计算题：本大题共 3 小题，每小题 6 分，共 18 分。

26. 假设某个频繁使用的程序 P 在机器 M1 上运行需要 8s，M1 的时钟频率为 3GHz。设计人员想开发一台与 M1 具有相同 ISA 的新机器 M2。采用新技术可使 M2 的时钟频率增加，但同时也会使 CPI 增加。假定 P 在 M2 上执行时的时钟周期数是在 M1 上的 2 倍，则 M2 的时钟频率至少达到多少才能使程序 P 在 M2 上的运行时间缩短为 6s？
27. 求机器数为 $(C0C00000)_{16}$ 的 IEEE754 的单精度（32 位）浮点数的值。
注：IEEE754 单精度浮点数的计数公式为 $(-1)^s \times 1.f \times 2^{E-127}$ ，其中符号位 1 位，阶码 8 位，尾数 23 位。
28. 假定某同步总线在一个总线时钟周期内传送一个 6 字节的数据，总线时钟频率为 33MHz，则总线带宽是多少？如果总线宽度改为 72 位，一个时钟周期能传送两次数据，总线时钟频率为 66MHz，则总线带宽是多少？

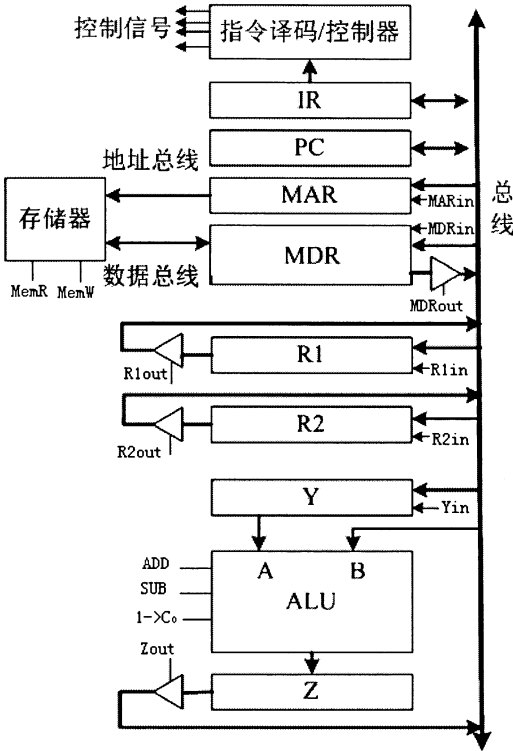


五、分析设计题：本大题共 2 小题，第 29 小题 12 分，第 30 小题 8 分，共 20 分。

29. 某计算机字长 16 位，采用 16 位定长指令格式，部分数据通路结构如题 29 图所示。

假设 MAR 的输出一直处于使能状态。

- (1) 指令“SUB(R2), R1”在执行阶段需要多少个节拍？（说明：该指令功能为 R2 指定的存储单元内容与 R1 的内容相减，结果送入 R2 指定的存储单元中）
- (2) 写出每个节拍的功能和有效控制信号。



题 29 图

30. 假定主存和 Cache 之间采用全相联映射，块大小为 512 字，Cache 数据区为 4K 字，主存地址空间为 2M 字。

- (1) 该 Cache 共有多少行？
- (2) 主存地址需多少位？
- (3) 主存地址划分成哪几个字段？要求说明每个字段的含义、位数和在主存地址中的位置。

