

2024 年 10 月高等教育自学考试
计算机组成原理试题
课程代码:02318

1. 请考生按规定用笔将所有试题的答案涂、写在答题纸上。
2. 答题前,考生务必将自己的考试课程名称、姓名、准考证号用黑色字迹的签字笔或钢笔填写在答题纸规定的位置上。

选择题部分

注意事项:

每小题选出答案后,用 2B 铅笔把答题纸上对应题目的答案标号涂黑。如需改动,用橡皮擦干净后,再选涂其他答案标号。不能答在试题卷上。

一、单项选择题:本大题共 15 小题,每小题 1 分,共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的,请将其选出。

1. 用来存放 ALU 运算结果状态信息的寄存器是
 - A. 指令寄存器
 - B. 标志寄存器
 - C. 通用寄存器
 - D. 程序计数器
2. 在计算机内部,指令信息采用的表示形式是
 - A. 二进制序列
 - B. 八进制序列
 - C. 十进制序列
 - D. 十六进制序列
3. 二进制真值为-1101101 的 8 位二进制补码是
 - A. 1101101
 - B. 10010010
 - C. 01101101
 - D. 10010011
4. 字符 C 的 ASCII 码为 $(1000011)_2$,采用奇校验方式传送 8 位编码,首位增加 1 位奇校验位后的编码是
 - A. 10000111
 - B. 10000110
 - C. 11000011
 - D. 01000011
5. 采用寄存器寻址方式的操作数存放在
 - A. 通用寄存器中
 - B. 主存中
 - C. cache 中
 - D. 指令中
6. 属于直接存取存储器的是
 - A. 主存
 - B. 硬盘
 - C. 磁带
 - D. 光盘



7. 一个 64KB 的主存储器，按字节编址，需要地址线的条数至少是
A. 6 B. 10
C. 16 D. 20
8. 在 DMA 控制方式下，实现主存和高速外设之间的直接数据交换时，总线控制权归
A. CPU 掌控 B. 主存掌控
C. 程序员掌控 D. DMA 控制器掌控
9. MIPS 计算机的汇编指令“ADD \$s1, \$s2, \$s3”实现的功能是
A. $\$s2 = \$s1 + \$s3$ B. $\$s1 = \$s2 + \$s3$
C. $\$s3 = \$s1 \& \$s2$ D. $\$s3 = \$s1 + \$s2$
10. 单地址指令
A. 只能对单操作数进行加工处理
B. 只能对双操作数进行加工处理
C. 既能对单操作数，也能对双操作数进行加工处理
D. 不能对双操作数进行加工处理
11. 串行接口指接口与系统总线之间、接口与外设之间采用的传送方式分别是
A. 串行、串行 B. 串性、并行
C. 并行、串性 D. 并行、并行
12. 设置中断屏蔽字的作用是
A. 暂停外设对主存的访问 B. 暂停 CPU 对主存的访问
C. 暂停 CPU 对某些中断的响应 D. 暂停 CPU 对一切中断的响应
13. 磁盘接口应选用
A. 程序直接控制传送接口 B. 中断接口
C. DMA 接口 D. 既可选用中断接口，又可选用 DMA 接口
14. 在计算机的存储器层次结构中，属于外部存储器的是
A. 硬盘 B. 高速缓存
C. 主存 D. CPU 内寄存器
15. 在采用微程序控制器的计算机中，微程序存放在
A. 堆栈中 B. CPU 中
C. 主存中 D. 磁盘中



非选择题部分

注意事项:

用黑色字迹的签字笔或钢笔将答案写在答题纸上,不能答在试题卷上。

二、填空题: 本大题共 10 空, 每空 1 分, 共 10 分。

16. 按照在计算机上完成任务的不同, 可以把使用计算机的用户分成最终用户、系统管理员、_____和_____四类。
17. 表示一个数值数据要确定三个要素, 分别是_____、_____和编码规则。
18. Intel 将内部异常分为故障、_____和_____三类。
19. cache 行与主存块之间的映射方式有_____、_____和组相联映射三种方式。
20. I/O 数据传送控制方式主要有程序直接控制、_____和_____三种方式。

三、简答题: 本大题共 5 小题, 每小题 7 分, 共 35 分。

21. 简述冯·诺依曼结构计算机的基本思想。
22. 为什么要对浮点数进行规格化? 有哪两种规格化操作?
23. 简述转移指令和调用(转子)指令的区别。
24. 简述 I/O 接口的基本功能。
25. 简述(取指令、指令译码、取操作数、执行、写回)五段指令流水线的每一段所执行的操作。

四、计算题: 本大题共 3 小题, 每小题 6 分, 共 18 分。

26. 求机器数为 C0B00000H (用十六进制数表示) 的 IEEE754 单精度浮点数的值 (用十进制数表示)。

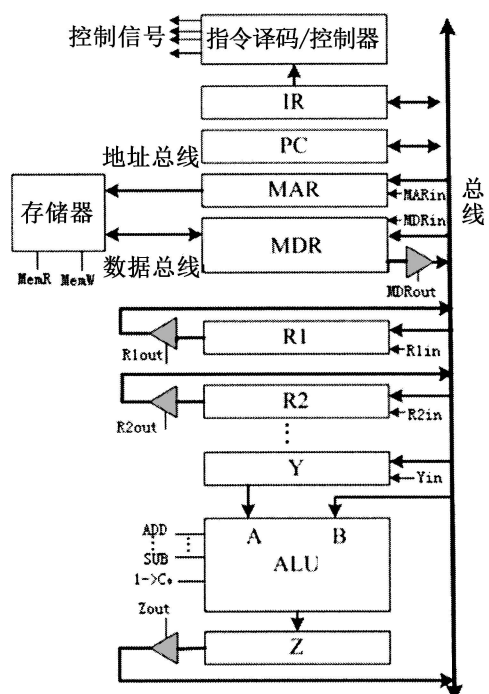
注: IEEE754 单精度浮点数的计数公式为 $(-1)^s \times 1.f \times 2^{e-127}$ 。

27. 假定某同步总线在一个总线时钟周期内传送一个 10 字节的数据, 总线时钟频率为 50MHz, 则总线带宽是多少? 如果总线宽度改为 128 位, 一个时钟周期能传送两次数据, 总线时钟频率为 200MHz, 则总线带宽是多少?
28. 假设某个频繁使用的程序 P 在机器 M1 上运行需要 30 秒, M1 的时钟频率为 1GHz。设计人员想开发一台与 M1 具有相同 ISA 的新机器 M2。采用新技术可使 M2 的时钟频率增加, 但同时也会使 CPI 增加。假定 P 在 M2 上执行时的时钟频率是在 M1 上的 2 倍, 则 M2 的时钟频率至少达到多少才能使程序 P 在 M2 上的运行时间缩短为 6 秒?



五、分析设计题：本大题共 2 小题，第 29 题 10 分，第 30 题 12 分，共 22 分。

29. 某计算机部分数据通路结构如题 29 图所示。该机字长 16 位，采用 16 位定长指令格式，假设 MAR 的输出一直处于使能状态。试分析指令“OR R1, (R2)”的执行情况，回答以下问题：



题 29 图

- (1) 执行该指令需要几个时序节拍？
- (2) 列出每个时序节拍所需要的有效控制信号和所完成的操作。

注：该指令功能为 $R[R1] \leftarrow R[R1] \text{ “逻辑或” } M[R[R2]]$

30. 设有一计算机主存空间大小为 4GB，按字节编址，主存与 cache 之间采用直接映射方式，数据块大小为 4KB，cache 数据区容量为 64KB。回答以下问题。
- (1) 主存与 cache 映射时主存地址应划分为哪几个部分？每个部分分别是哪几位地址？
 - (2) cache 总容量是多少？（每行包含一位有效位 V）
 - (3) 地址为 17824193H 的主存单元映射到 cache 的行号是多少？

