

全国 2019 年 4 月高等教育自学考试
计算机组成原理试题
课程代码:02318

请考生按规定用笔将所有试题的答案涂、写在答题纸上。

选择题部分

注意事项:

1. 答题前,考生务必将自己的考试课程名称、姓名、准考证号用黑色字迹的签字笔或钢笔填写在答题纸规定的位置上。
2. 每小题选出答案后,用 2B 铅笔把答题纸上对应题目的答案标号涂黑。如需改动,用橡皮擦干净后,再选涂其他答案标号。不能答在试题卷上。

一、单项选择题:本大题共 10 小题,每小题 1 分,共 10 分。在每小题列出的备选项中只有一项是最符合题目要求的,请将其选出。

1. CPU 中用来存放 ALU 运算结果的状态信息的寄存器是
 - A. 程序计数器
 - B. 指令寄存器
 - C. 通用寄存器
 - D. 标志寄存器
2. 在计算机内部,指令信息采用的表示形式是
 - A. 二进制序列
 - B. 八进制序列
 - C. 十进制序列
 - D. 十六进制序列
3. 二进制数-1101000 的 8 位补码表示是
 - A. 11101000
 - B. 10010111
 - C. 10011000
 - D. 10000100
4. 字符 B 的 ASCII 码为 1000010,首位添加一位奇校验位组成 8 位编码,其表示为
 - A. 01000010
 - B. 11000010
 - C. 10000010
 - D. 10000100
5. 采用寄存器间接寻址方式的操作数存放在
 - A. 通用寄存器中
 - B. 内存中
 - C. 硬盘中
 - D. 指令中
6. 采用 RAM 方式存取信息的存储器是
 - A. 硬盘
 - B. 光盘
 - C. 磁带
 - D. 主存



- ### 非选择题部分

用黑色字迹的签字笔或钢笔将答案写在答题纸上,不能答在试题卷上。

11. 根据软件的用途，一般将软件分成系统软件和_____软件两大类。
12. CPU 和主存储器之间通过一组总线相连，总线中有地址、_____、_____三组信号线。
13. 计算机中常用的数据校验码有奇偶校验码、_____、_____。
14. 表示一个数值数据需要确定三个要素：进位记数制、_____、_____。
15. 根据指令显式给出的地址个数，指令可分为三地址指令、二地址指令、单地址指令和_____指令。
16. 按指令格式的复杂度来分，可分为 CISC 与_____两种类型指令系统。
17. Intel 将内部异常分为三类：分别是故障、陷阱和_____。
18. 按存取方式分类，存储器分为随机存取存储器、_____存取存储器和_____存取存储器三类。
19. I/O 接口是介于 I/O 总线和_____之间的硬件部分。
20. I/O 数据传送主要有三种不同的控制方式：程序直接控制、_____控制和控制。



三、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

- 21. 数据通路
- 22. 控制器
- 23. 字长
- 24. 寄存器间接寻址
- 25. 指令译码器（ID）

四、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

- 26. 冯·诺依曼结构计算机的基本思想主要包括哪几个方面？
- 27. 一条指令中应该显式或隐式地给出哪些信息？
- 28. 通常一条指令的执行要经过哪些步骤？每条指令的执行步骤都一样吗？
- 29. SRAM 芯片和 DRAM 芯片各有哪些特点？各自用在哪些场合？

五、计算题：本大题共 3 小题，第 30、31 小题各 6 分，第 32 小题 4 分，共 16 分。

- 30. 假设某个频繁使用的程序 P 在机器 M1 上运行需要 20s，M1 的时钟频率为 1GHz。设计人员想开发一台与 M1 具有相同 ISA 的新机器 M2。采用新技术可使 M2 的时钟频率增加，但同时也会使 CPI 增加。假定 P 在 M2 上执行时的时钟周期数是在 M1 上的 2 倍，则 M2 的时钟频率至少达到多少才能使程序 P 在 M2 上的运行时间缩短为 4s？
- 31. 将十进制数 120 转换为 IEEE754 的单精度（32 位）浮点数格式，要求最后格式用十六进制数表示。注：IEEE754 单精度浮点数的计数公式为 $(-1)^s \times 1.f \times 2^{E-127}$
- 32. 假定某同步总线在一个总线时钟周期内传送一个 8 字节的数据，总线时钟频率为 50MHz，则总线带宽是多少？如果总线宽度改为 128 位，一个时钟周期能传送两次数据，总线时钟频率为 100MHz，则总线带宽是多少？

六、综合题：本大题共 2 小题，每小题 12 分，共 24 分。

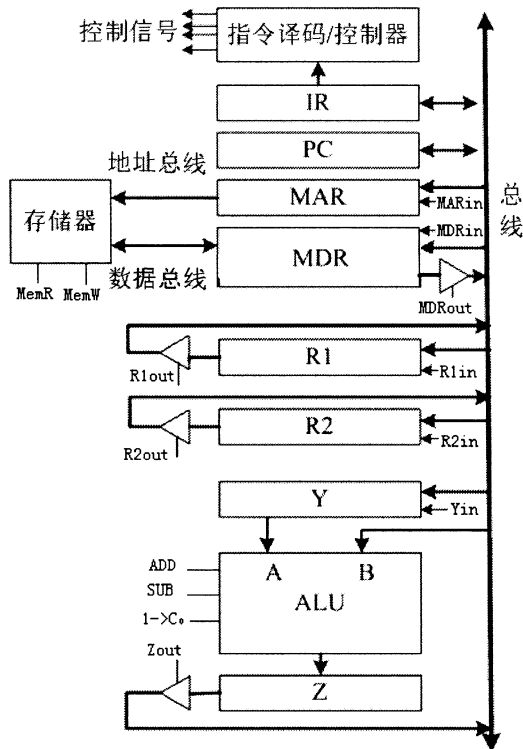
- 33. 某计算机字长 16 位，采用 16 位定长指令格式，部分数据通路结构如图所示。假设 MAR 的输出一直处于使能状态。

（1）逻辑指令“SUB R1, (R2)”在执行阶段需要多少个节拍？该指令功能为

$$M[R[R1]] \leftarrow R[R1] - M[R[R2]]。$$

（2）写出执行阶段每个节拍的功能和有效控制信号。





题 33 图

34. 某计算机主存地址空间大小 8MB，按字节编址。主存与 Cache 之间采用直接映射方式，块大小为 1K 字节。Cache 数据区大小为 32KB。
- (1) 该 Cache 共有多少行？
 - (2) 主存地址需多少位？如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。

